

Questionário 14

✂--- Hardware de Memória* ---✂

1. Explique a diferença entre endereços lógicos e endereços físicos e as razões que justificam o uso de endereços lógicos.
2. O que é uma MMU - *Memory Management Unit*?
3. Seria possível e/ou viável implementar as conversões de endereços realizadas pela MMU em software, ao invés de usar um hardware dedicado? Por que?
4. Explique as principais formas de organização de memória.
5. Por que os tamanhos de páginas e quadros são sempre potências de 2?
6. Considerando a tabela de segmentos a seguir (com valores em decimal), calcule os endereços físicos correspondentes aos endereços lógicos 0:45, 1:100, 2:90, 3:1.900 e 4:200.

Segmento	0	1	2	3	4
Base	44	200	0	2000	1200
Limite	810	200	1000	1000	410

7. Considerando a tabela de páginas a seguir, com páginas de 500 bytes, informe os endereços físicos correspondentes aos endereços lógicos 414, 741, 1995, 4000 e 6633, indicados em decimal. Obs.: Um tamanho de página de 500 bytes permite fazer os cálculos mentalmente, sem a necessidade de converter os endereços para binário e vice-versa, bastando usar divisões inteiras (com resto) entre os endereços e o tamanho de página.

página	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
quadro	3	12	6	-	9	-	2	-	0	5	-	-	-	7	-	1

8. Considere um sistema com endereços físicos e lógicos de 32 *bits*, que usa tabelas de páginas com três níveis. Cada nível de tabela de páginas usa 7 *bits* do endereço lógico, sendo os restantes usados para o *offset*. Cada entrada das tabelas de páginas ocupa 32 *bits*. Calcule, indicando seu raciocínio:
 - a. O tamanho das páginas e quadros, em *bytes*.
 - b. O tamanho máximo de memória que um processo pode ter, em *bytes* e páginas.
 - c. O espaço ocupado pela tabela de páginas para um processo com apenas uma página de código, uma página de dados e uma página de pilha. As páginas de código e de dados se encontram no início do espaço de endereçamento lógico, enquanto a pilha se encontra no final do mesmo.
 - d. Idem, caso todas as páginas do processo estejam mapeadas na memória.
9. Explique o que é TLB, qual a sua finalidade e como é seu funcionamento.
10. Sobre as afirmações a seguir, relativas à alocação por páginas, indique quais são incorretas, justificando sua resposta:
 - a. Um endereço lógico com N bits é dividido em P bits para o número de página e N - P bits para o deslocamento em cada página.
 - b. As tabelas de páginas multiníveis permitem mais rapidez na conversão de endereços lógicos em físicos.

*Baseado no conteúdo do livro "Sistemas Operacionais: Conceitos e Mecanismos" do Prof. Carlos A. Maziero (UFPR).

- c. O bit de referência R associado a cada página é “ligado” pela MMU sempre que a página é acessada.
 - d. O cache TLB é usado para manter páginas frequentemente usadas na memória.
 - e. O bit de modificação M associado a cada página é “ligado” pelo núcleo sempre que um processo modificar o conteúdo da mesma.
 - f. O cache TLB deve ser esvaziado a cada troca de contexto entre processos.
11. Por que é necessário limpar o cache TLB após cada troca de contexto entre processos? Por que isso não é necessário nas trocas de contexto entre *threads*?
12. Um sistema de memória virtual paginada possui tabelas de página com três níveis e tempo de acesso à memória RAM de 100 ns. O sistema usa um cache TLB de 64 entradas, com taxa estimada de acerto de 98%, custo de acerto de 10 ns e penalidade de erro de 50 ns. Qual o tempo médio estimado de acesso à memória pelo processador? Apresente e explique seu raciocínio.
13. Considerando um sistema de 32 *bits* com páginas de 4 *KBytes* e um TLB com 64 entradas, calcule quantos erros de cache TLB são gerados pela execução de cada um dos laços a seguir. Considere somente os acessos à matriz *buffer* (linhas 5 e 9), ignorando páginas de código, *heap* e *stack*. Indique seu raciocínio.

```
1 unsigned char buffer[4096][4096] ;
2
3 for (int i=0; i<4096; i++) // laço 1
4     for (int j=0; j<4096; j++)
5         buffer[i][j] = 0 ;
6
7 for (int j=0; j<4096; j++) // laço 2
8     for (int i=0; i<4096; i++)
9         buffer[i][j] = 0 ;
```

14. Considerando um sistema com tempo de acesso à RAM de 50 ns, tempo de acesso a disco de 5 ms, calcule quanto tempo seria necessário para efetuar os acessos à matriz do exercício anterior nos dois casos (laço 1 e laço 2). Considere que existem 256 quadros de 4.096 bytes (inicialmente vazios) para alocar a matriz e despreze os efeitos do cache TLB.